

Posicionamento de Circuitos 3D Considerando o Planejamento de 3D-Vias

Renato Fernandes Hentschke^{1 2}
Marcelo de Oliveira Johann¹
Ricardo Augusto da Luz Reis¹

Resumo: Este trabalho explora métodos para realizar o posicionamento de um tipo particular de circuitos VLSI conhecido como circuito 3D (três dimensões). Este artigo aborda o problema de posicionamento 3D considerando as conexões verticais (chamadas 3D-Vias) e as limitações impostas pelas mesmas. Foi realizado um fluxo completo de posicionamento, iniciando pelo tratamento de pinos de entrada e saída (E/S), seguindo com posicionamento global, posicionamento detalhado e posicionamento das 3D-Vias. A primeira etapa busca a distribuição dos pinos de E/S de maneira equilibrada objetivando auxiliar o posicionamento para obter uma quantidade reduzida de 3D-Vias. O mecanismo de posicionamento global baseado no algoritmo de *Quadratic Placement* considera informações fornecidas pela tecnologia de fabricação e requisito de espaçamento de 3D-Vias para reduzir o comprimento das conexões e equilibrar a distribuição das células em 3D. Conexões críticas podem ser tratadas através da inserção de redes artificiais que auxiliam a evitar que 3D-Vias sejam usadas em sua implementação. Finalmente, as 3D-Vias são posicionadas por um algoritmo rápido baseado na legalização Tetris. O sistema completo reforça os potenciais benefícios dos circuitos 3D para reduzir o comprimento das conexões e apresenta algoritmos eficientes projetados para circuitos 3D que podem ser incorporados em novas ferramentas de CAD (*Computer Aided Design*).

¹Instituto de Informática, UFRGS, Caixa Postal 15064
{renato, johann, reis@inf.ufrgs.br}

²Renato is now with Intel Corporation, Hillsboro OR - EUA

Abstract: This article explores methods to perform placement of 3D circuits considering issues related to vertical interconnects (3D-Vias). A complete flow, starting from the I/O pins handling, global placement, detailed placement and 3D-Via placement is presented. The I/O pins algorithm spreads the I/Os evenly and aids the placer to obtain a reduced number of 3D-Vias. The global placement engine based on Quadratic algorithm considers the technology information and 3D-Via pitch to reduce wire length and balance the cells distribution in 3D. Critical connections can be handled with the insertion of artificial nets that lead to 3D-Via avoidance for those nets. Finally, 3D-Vias are placed by a fast algorithm based on Tetris legalization. The whole framework enforces the potential benefits of 3D-Circuits on wire length improvement and demonstrates efficient algorithms designed for 3D placement that can be incorporated into new CAD (Computer Aided Design) tools.

1 Introdução

Um dos problemas mais importantes no projeto de circuitos VLSI imposto pelas tecnologias recentes está relacionado com os fios do circuito. Primeiro, consideremos o aumento do tamanho dos projetos enquanto que o tamanho dos componentes do circuito está se tornando drasticamente menor. Este cenário produz redes de fios cada vez maiores, densas e complexas. Segundo, o atraso dos componentes ativos reduziu-se mais rapidamente que o atraso dos fios. Hoje em dia, a resistência dos fios é extremamente relevante, enquanto que isto era ignorado no passado quando se calculava o atraso de um circuito. O atraso das conexões é responsável por mais da metade do atraso do circuito como um todo em tecnologias recentes. Terceiro, o processo de fabricação e os efeitos elétricos parasitas das tecnologias mais modernas são fatores que basicamente introduzem inúmeras regras de projeto que devem ser respeitadas para que o circuito funcione. A regularidade de conexões é cada vez mais difícil de ser obtida devido à topologia aleatória das redes de conexão em um circuito. Finalmente, o consumo de potência é fortemente afetado pela capacitância dos nodos de um circuito. Os fios criam grandes capacitâncias que são carregadas e descarregadas a cada transição do sinal. Em conclusão, a qualidade de um circuito está fortemente ligada à complexidade de conexões do mesmo e à capacidade que as ferramentas de CAD têm para lidar com o problema.

É necessário um esforço de pesquisa muito significativo para diminuir o comprimento dos fios com a finalidade de reduzir os problemas relacionados à fiação do circuito. Fios mais curtos são mais rápidos, dissipam menos potência e são mais facilmente roteáveis e fabricáveis. Entre as técnicas propostas, o uso de algoritmos de síntese que visem a redução do comprimento dos fios é uma das maneiras mais efetivas para obter melhores circuitos.

Os vários estágios de um fluxo de projeto podem ser agrupados em quatro passos consecutivos principais: síntese de sistema, síntese de alto nível, síntese lógica e finalmente

síntese física. A síntese física, responsável pela transição de uma descrição do circuito em nível lógico para o leiaute, é uma tarefa bastante complexa e sensível à complexidade da fiação. Ela é composta de sub-tarefas como posicionamento das células e roteamento das conexões. O leitor pode se referir a [26] para obter mais informações básicas sobre estas etapas.

Um dos principais objetivos da etapa de síntese física é lidar com problemas relacionados a conexões. Por esta razão, os algoritmos que a incorporam devem necessariamente objetivar a redução do tamanho das conexões. Apesar da existência de boas técnicas para redução do comprimento médio dos fios neste nível, a constante evolução tecnológica exige que estes algoritmos sejam revistos regularmente. Particularmente, atraso e potência são problemas importantes nos projetos atuais que impactam significativamente as etapas de posicionamento e roteamento. Análise de atraso e potência podem identificar componentes mais críticos do circuito que deveriam receber atenção especial dos algoritmos de síntese física e receber maior peso na minimização do comprimento dos fios.

A redução do tamanho dos componentes, que costumava ser uma importante ferramenta para melhorar o atraso e a dissipação de potência de circuitos, é hoje uma fonte de novos problemas relacionados aos fios dos circuitos. Hoje em dia os componentes têm dimensões próximas a dimensões atômicas, indicando que a possibilidade de se continuar reduzindo seus tamanhos seja cada vez menor; a limitação física exige que novas alternativas sejam buscadas para seguir o progresso da indústria de semicondutores.

Recentemente, a tecnologia de fabricação de circuitos 3D foi proposta. Mais detalhes sobre esta tecnologia são apresentados na próxima sessão. Ela aparece como uma possível solução para a estrutura de fios de um circuito. É esperado que arrançando os elementos de um circuito em 3D obtenham-se fios mais curtos. De fato, trabalhos de pesquisa recentes como [24], [5], [29], [18] e muitos outros demonstram que circuitos 3D podem de fato levar a redução do tamanho dos fios. Também é demonstrado que a melhora na fiação é proporcional ao tamanho do circuito [19]. Os trabalhos [2] e [3] especificam o existente interesse da indústria e da academia nesta tecnologia.

A possibilidade de desenvolvimento de projetos de microeletrônica em 3D abre um imenso espaço de pesquisa na área de ferramentas de CAD, principalmente no nível de síntese física. Novos algoritmos devem ser criados para lidar com o arranjo 3D dos elementos e tirar o máximo de benefício desta tecnologia enquanto consideram limitações e restrições da mesma. Hoje em dia, a pesquisa neste campo ainda está no seu início. Considere o problema de posicionamento 3D, por exemplo. A riqueza e variedade de técnicas que levaram a uma melhora expressiva dos algoritmos de posicionamento através de décadas devem também propiciar uma maturidade similar para a área de posicionamento 3D.

Este artigo trata-se do resumo da tese de doutorado [14] e diversos detalhes e resulta-

dos omitidos no artigo estão detalhados na tese. Apresentam-se algoritmos para posicionamento 3D visando à redução do tamanho dos fios e considerando elementos críticos (portas lógicas e fios). Exploram-se métodos para realizar posicionamento de células em circuitos 3D considerando problemas relacionados às conexões verticais (conhecidas como 3D-Vias) enquanto procura-se obter um tamanho reduzido de conexões aproveitando o arranjo 3D dos elementos. Um volume significativo de novos métodos e contribuições são apresentados neste texto, sendo totalmente validados numa ferramenta de posicionamento chamada Z-Place.

2 Circuitos 3D Como Um Novo Paradigma de Projeto

Um circuito 3D pode ser definido como um chip VLSI com camadas ativas empilhadas chamadas de *tiers*. A figura 1 demonstra uma visão didática de um circuito 3D composto por camadas ativas e níveis de metal. A comunicação entre duas camadas adjacentes é dada por uma via especial chamada de 3D-Via.

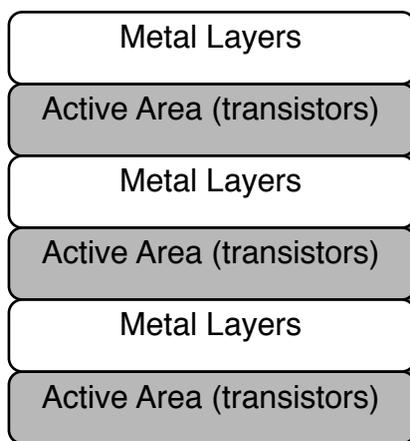


Figura 1. Uma visão didática de um circuito 3D composto por camadas ativas e de metal

2.1 Dados de tecnologia de circuitos 3D

Esta sessão resume alguns dados tecnológicos obtidos através de vários artigos publicados na literatura, especialmente [29], [20], [27], [24] e [25]. As 3D-Vias são classificadas de acordo com as seguintes características:

- A estratégia usada para integrar os *tiers* conectados por uma dada 3D-Via que pode ser *face-to-face* (as camadas do circuito são postas frente a frente sendo a conexão entre elas efetuada por apenas um contato entre o nível superior de metal de cada camada), *face-to-back* (a parte superior da primeira camada é exposta à parte inferior da segunda camada, fazendo com que a conexão entre elas necessite perfurar área ativa) ou *back-to-back* (a área ativa de ambas camadas precisa ser perfurada). A figura 2 ilustra o efeito da estratégia de integração no particionamento das células.
- A distância entre dois *tiers* adjacentes (conhecida também como espaçamento entre *tiers*).
- O espaçamento mínimo requerido entre 3D-Vias colocadas lado a lado.
- O fato de alguns tipos de 3D-Vias ocuparem área ativa e outros tipos não.

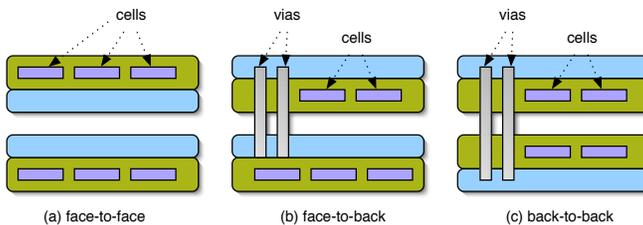


Figura 2. Estratégias de integração 3D e como elas impactam a distribuição da área: (a) *face-to-face*, (b) *face-to-back* e (c) *back-to-back*.

Para oferecer uma idéia geral de como a tecnologia 3D (mais especificamente as vias) se relaciona com o restante do leiaute, a figura 3 exemplifica a tecnologia da empresa Tezzaron para circuitos 3D, que apresenta 3D-Vias *face-to-face* e *face-to-back*. Além disto, uma lista de 3D-Vias e suas características é dada na tabela 1. Podemos observar que existe uma variedade de requisitos de espaçamento e de ocupação de área ativa.

2.2 Potenciais vantagens de circuitos 3D

Seja por método analítico [18] [8] [22] [23] ou experimentos práticos [29] [24] [17] [6] [5], é sabido que circuitos 3D podem apresentar vários benefícios. Entre eles estão a redução do tamanho dos fios mais longos, redução do tamanho médio do fio, redução da potência dinâmica (principalmente devido a redução da rede de relógio - clock), redução do atraso e tamanho do chip, entre outras. Todas estas vantagens potenciais devem ser exploradas por ferramentas de CAD apropriadas que saibam lidar com novos desafios existentes no

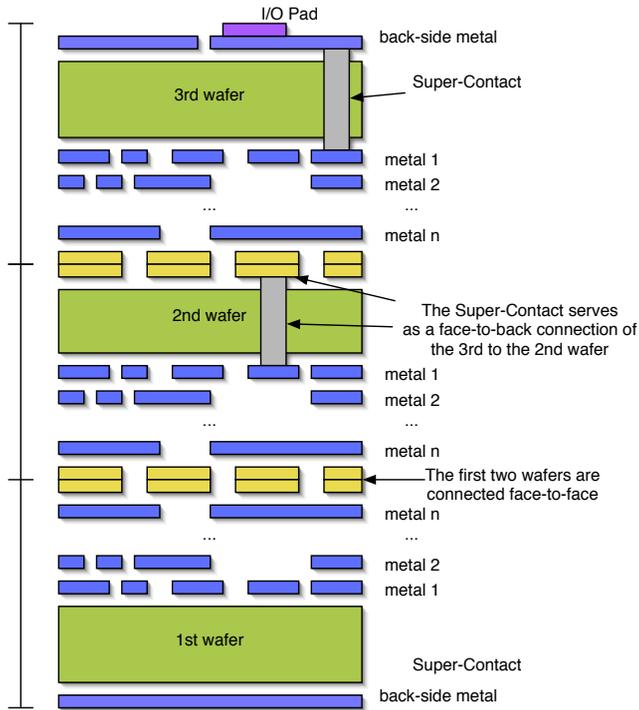


Figura 3. Tecnologia da Tezzaron com Super-Contacts e conexão *face-to-face*.

projeto de circuitos 3D. Entre os principais desafios alguns merecem destaque, como segue. Inicialmente, questões térmicas devido à difícil dissipação de calor dos *tiers* internos, referenciadas em trabalhos como [11] [12] [23] [6] [29] [7] que apresentam soluções e pesquisas neste tema. Secundariamente, problemas relacionados a *yield* (termo em inglês que representa a porcentagem de circuitos fabricados que efetivamente funcionam). Alguns autores, como [29] classificam o *yield* como um dos principais problemas relacionados ao projeto de circuitos 3D, enquanto que outros como [20] argumentam que este problema não é tão grave e que pode ser contornado de diversas maneiras. Finalmente, mas não menos importante, os problemas relacionados às 3D-Vias. Muitos autores, como [7] e [6] ignoram boa parte destes problemas. Curiosamente, o trabalho [10] afirma que é muito complexo fazer tratamento de 3D-Vias no nível de posicionamento, justificando sua opção de ignorar as 3D-Vias. Por outro lado, ignorar as restrições impostas pelas 3D-Vias compromete bastante a qualidade do

Tabela 1. Resumo dos dados tecnológicos coletados para 3D-Vias.

3D-Via	Estratégia Integração	Espaçamento Camada	Espaçamento 3D-Via	Ocupa Area Ativa
Tezzaron (Copper Pads)	<i>face-to-face</i>	16-20 μm	2.4 μm	não
Tezzaron (Projected)	<i>face-to-face</i>	16-20 μm	1.46 μm	não
Microbump	<i>face-to-face</i>	16-20 μm	10-100 μm	não
Contactless (Capacitive)	<i>face-to-face</i>	16-20 μm	50-200 μm	não
MIT (Copper/Tantalum Pads)	<i>face-to-face</i>	16-20 μm	5 μm	não
TSV <i>face-to-face</i>	<i>face-to-face</i>	16-20 μm	0.5 μm	não
Tezzaron Super-Via TM	<i>face-to-back</i>	15-20 μm	6.08 μm	sim
Tezzaron Super-Contact TM	<i>face-to-back</i>	11-15 μm	< 4 μm	sim
Microbump 3D Package	<i>face-to-back</i>	11-15 μm	25-50 μm	não
Contactless Inductive	<i>face-to-back</i>	11-15 μm	50-150 μm	sim
MITLL Through Via (SOI)	<i>face-to-back</i>	9-12 μm	5 μm	sim
Through Via (regular Bulk)	<i>face-to-back</i>	11-15 μm	50 μm	sim
Back-to-back 3D-Via	<i>back-to-back</i>	6-8 μm	15 μm	sim

posicionamento. O conhecimento e controle das conexões 3D faz com que as mesmas sejam alocadas para redes que possam comportá-las mais eficientemente e permitem que a área possa ser planejada com maior precisão. Os seguintes itens destacam problemas relacionados ao posicionamento das 3D-Vias:

- Limitação na quantidade de 3D-Vias;
- Posicionamento e legalização de 3D-Vias;
- Posicionamento de células e 3D-Vias simultaneamente;
- Modelagem das características elétricas e topológicas das 3D-Vias;
- Melhoria de comprimento das conexões com introdução de 3D-Vias;
- Particionamento das células em *tiers* considerando 3D-Vias;
- Evitar 3D-Vias em determinadas conexões

2.2.1 Metodologias de projeto Estuda-se basicamente três metodologias de projeto para circuitos 3D com relação à granularidade da integração [29]. Inicialmente, é considerada a

metodologia que apresenta maior granularidade, chamada de *tier level integration*. Ela integra *tiers* de natureza distinta, projetados separadamente. Após, visando obter uma melhora no tamanho dos fios, o circuito pode ser integrado em uma granularidade menor, com o uso de blocos espalhados nos diversos tiers (conhecida como *ip core level integration*). Finalmente, pode-se considerar uma granularidade pequena, chamada *random logic level*. Esta representa uma integração ao nível de porta lógica, ou seja, um conjunto de portas é distribuído para posicionamento em qualquer camada. Claramente que nesta granularidade, a quantidade de conexões em 3D é superior e por isto os problemas relacionados às 3D-Vias se acentuam. Por outro lado, se os recursos de 3D-Vias forem alocados de forma realista, esta granularidade permite uma melhora significativa no desempenho do circuito, pois potencialmente o tamanho dos fios é reduzido significativamente, como demonstrado em trabalhos anteriores [24]. Por esta razão, esta metodologia também é adotada neste trabalho.

3 Z-Place: Algoritmos para posicionamento 3D

3.1 Introdução

Z-Place é uma ferramenta para posicionamento de circuitos 3D. Como primeiro objetivo, a ferramenta Z-Place procura obter o melhor comprimento de conexões considerando certas restrições relacionadas às 3D-Vias. Z-Place executa as seguintes tarefas: tratamento dos pinos de entrada e saída (sessão 3.2), posicionamento global (sessão 3.3), posicionamento detalhado, tratamento de conexões críticas (sessão 3.4) e posicionamento das 3D-Vias (sessão 3.5). O posicionamento detalhado é basicamente um processo de otimização baseado no algoritmo *Threshold Accept* [9] com aplicação de diversas técnicas para melhora de tempo de CPU, como janelamento, por exemplo. O planejamento da quantidade de 3D-Vias entre dois *tiers* adjacentes é executado no nível de posicionamento global. O tratamento de conexões críticas também é feito no nível de posicionamento global, evitando o uso de 3D-Vias com elementos críticos do circuito. Este método é descrito com mais detalhes na sessão 3.4. A figura 4 apresenta uma ilustração das 4 etapas citadas que compõem o fluxo de posicionamento.

3.2 Tratamento dos pinos de E/S

O problema de particionamento e posicionamento de pinos de entrada e saída é ilustrado na figura 4.(a). Devido à natureza do método de posicionamento das células (sessão 3.3), baseado em otimização quadrática, é necessário que hajam pinos espalhados pelas camadas 3D, pelo menos na primeira e última camadas. Com isto, o tratamento de pinos de E/S provê pinos em todas as camadas de forma balanceada, como mostra a figura 4.(a).

Um algoritmo para particionamento e posicionamento dos pinos de E/S é apresentado

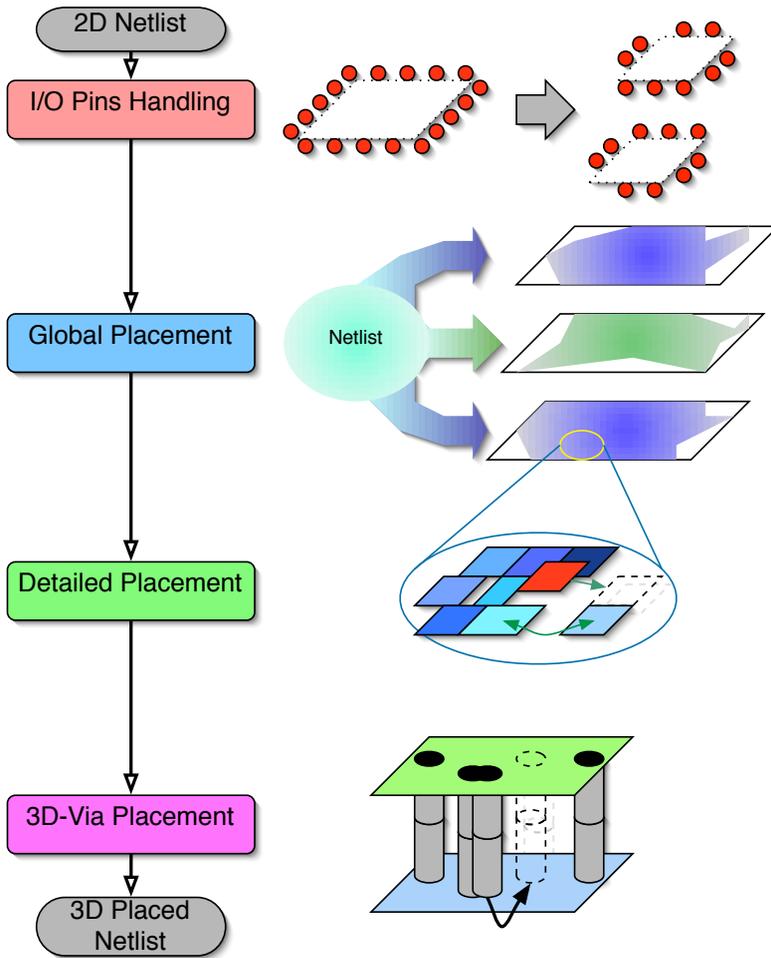


Figura 4. Fluxo de posicionamento proposto para circuitos 3D

em [15]. O método inicia com um posicionamento 2D dos pinos ao redor da área de posicionamento e retorna uma representação 3D do circuito composta de um conjunto de *tiers* e pinos posicionados ao redor. Como objetivo secundário, o método procura servir como um bom ponto de partida para algoritmos de posicionamento gerarem soluções com um reduzido número de 3D-Vias.

O algoritmo proposto aqui inicia fazendo particionamento dos pinos. Este processo é realizado em duas etapas. Primeiro são encontradas as distâncias lógicas entre cada par de pinos ao longo das redes do circuito (figura 5.(a)). Depois, o tamanho dos caminhos é utilizado de peso para a montagem de um grafo completo que contém somente os pinos de entrada e saída (figura 5.(b)).

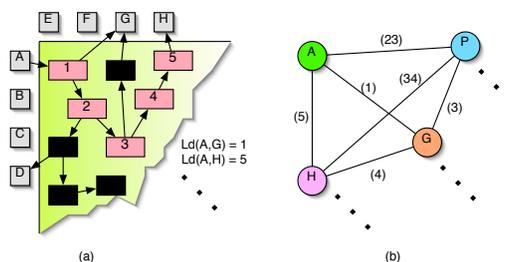


Figura 5. Distância lógica entre pinos de entrada e saída (a) e uma parte do grafo completo de pinos correspondente (b)

Após obter um grafo completo de pinos, um algoritmo de particionamento divide o grafo em 2 ou mais grupos; cada grupo é assinalado para um *tier*. Finalmente, os pinos de entrada e saída são posicionados usando um mapeamento linear de sua posição original para uma área reduzida, mantendo assim sua ordem original.

Foram realizados experimentos que demonstraram a efetividade do método para obter bom equilíbrio de pinos ao longo do circuito. Estes experimentos também evidenciaram um reduzido número de 3D-Vias após realizar o particionamento das células. Observou-se que a informação da distância lógica resume a informação global do circuito de forma eficaz. O algoritmo de particionamento de pinos somado ao particionamento das células com algoritmo convencional apresenta resultados superiores a algoritmos de particionamento do estado da arte [15], porém com mais uso de CPU, como demonstra a tabela 2 baseada no conjunto de *benchmarks* [1].

Tabela 2. Número médio de 3D-Vias obtido usando o algoritmo proposto e duas alternativas.

Algoritmo	# camadas			
	2	3	4	5
Proposto	1476	2814	4275	5381
Unlocked-Pins	1554	3763	4573	6269
Alternate-Pins	1604	3879	5449	7466

3.3 Posicionamento Global

O espaço de posicionamento global é modelado em um cubo fatiado, conforme mostra a figura 6. Cada fatia representa um *tier* para posicionar células, enquanto que a área entre eles, destinada para níveis de metal, pode ser utilizada temporariamente por células, que devem migrar para uma posição válida em algum *tier*.

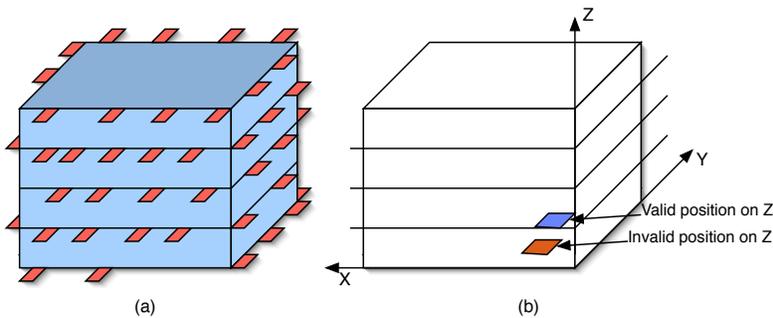


Figura 6. Modelo de cubo fatiado e pinos de E/S em todos os *tiers*.

A estratégia de integração entre *tiers* adjacentes influencia o processo de posicionamento global das células. Uma das tarefas do posicionamento global é de distribuir as células ao longo do espaço de posicionamento, o que inclui o particionamento de células nos diversos *tiers*. Porém, alguns tipos de via (*face-to-back* e *back-to-back*) ocupam área ativa e por isto a distribuição das células em *tiers* deve levar em conta este fato.

Outro fator de influência na distribuição vertical das células é o tamanho das 3D-Vias. Quanto maior for a 3D-Via, maior será a ocupação de área ativa por 3D-Vias. Porém, além disto, o algoritmo de posicionamento global do Z-Place controla as 3D-Vias de acordo com uma quantidade máxima de 3D-Vias pré-estipulada. Esta quantidade é calculada por uma relação entre a área disponível para 3D-Vias e o tamanho de cada uma das 3D-Vias.

O algoritmo de posicionamento global proposto é baseado em otimização quadrática de comprimento dos fios por ser largamente utilizado e citado na literatura com sucesso em circuitos de grande escala. Particularmente, o núcleo do algoritmo do Z-Place possui características similares ao trabalho [28] utilizado em circuitos 2D. Por exemplo, o algoritmo *Cell Shifting* é estendido para *3D Cell Shifting*, que possui uma função especial para calcular a coordenada z das células. Esta função chama-se *Z-Cell Shifting* [21] e é ilustrada na figura 7.(a). A metodologia *Z-Cell Shifting* ordena as células pela sua coordenada z e obtém pontos de corte que consideram tanto a área de células quanto a área ativa ocupada por 3D-Vias.

O algoritmo *3D Cell Shifting*, ilustrado na figura 7.(b), espalha as células nas três dimensões ao mesmo tempo. Por esta razão, a otimização do comprimento dos fios é uniforme. Quando as células estiverem razoavelmente espalhadas no espaço (quando não houver congestionamento), um algoritmo heurístico de refinamento iterativo é aplicado. Além de otimizar o comprimento dos fios e o espalhamento das células, como feito em [28], o algoritmo na ferramenta Z-Place controla a quantidade de 3D-Vias inseridas para que respeite-se o limite pré-estabelecido. Enquanto o limite é obedecido, o algoritmo permite a inserção de 3D-Vias. Porém, quando o limite é ultrapassado, o algoritmo é encorajado a retirar 3D-Vias sempre que possível.

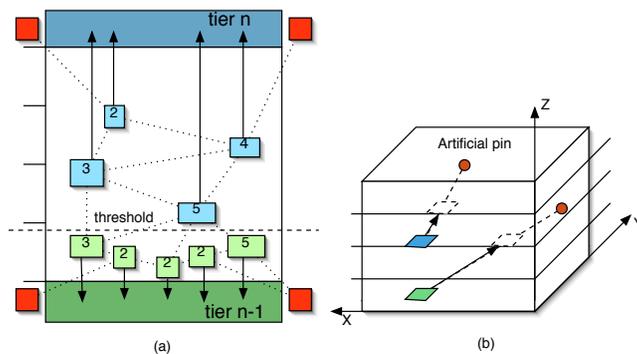


Figura 7. A metodologia Z-Cell Shifting (a) e o algoritmo 3D Cell Shifting (b).

Os resultados experimentais demonstraram que a manipulação do limite do número de 3D-Vias influencia o comprimento dos fios. Este limite é calculado em função da área disponível em relação ao tamanho da via, o que torna Z-Place adaptável a diversas tecnologias, melhorando o comprimento dos fios até o limite imposto pelas mesmas. A tabela 3 exemplifica este resultado em um circuito de 4 camadas dispostas *face-to-face* (f2f), *back-to-back* (b2b) e *face-to-face* novamente. Observe que o número de vias diminui radicalmente na transição *back-to-back*.

Tabela 3. Número médio de 3D-Vias (#V) em cada transição e comprimento total de fios (WL) para circuito com 4 camadas.

	f2f	b2b	f2f	
	#V	#V	#V	WL
Média	4878	1338	4656	3.94E+06

Foi estudado o efeito de adicionar mais *tiers* ao circuito 3D contra soluções providas pela ferramenta FastPlace [28] e foi verificado que nossas melhores configurações produzem melhorias de 15% para 2 *tiers*, 20% para 3 *tiers* e finalmente 27% para 4 *tiers* em média.

3.4 Tratamento de caminhos críticos

3D-Vias podem ser vistas como elementos prejudiciais ao atraso e potência de uma rede por dois aspectos. Primeiro, porque uma conexão *inter-tier* demanda que haja um roteamento passando por todos os níveis de metal para que possa atingir a 3D-Via (a figura 3 explica este fenômeno). Segundo, as características elétricas (capacitância e resistência) destas 3D-Vias variam bastante e podem ser prejudiciais para o atraso da rede, dependendo da tecnologia empregada. Por esta razão, deseja-se encontrar um mecanismo que evite o uso de uma 3D-Via em determinadas conexões escolhidas como críticas.

O mecanismo adotado é explicado na figura 8. Para cada conjunto de células que deve ser mantido no mesmo *tier* é inserido um pino artificial. No caso do cálculo de atraso, mantem-se próximas as células pertencentes ao mesmo caminho crítico, pois não haverá nenhuma 3D-Via ao longo do caminho. Cada pino artificial é conectado a todas as células pertencentes ao seu grupo. Esta conexão é chamada de *critical star*. O peso empregado nestas conexões é dado de forma que ela tenha um efeito pequeno na distribuição horizontal das células, mas tenha um forte efeito para mantê-las na mesma coordenada *z*. Por isto, diferentemente de qualquer outra conexão do circuito, a conexão *critical star* tem um peso forte no eixo *Z* e um peso bastante baixo nos outros eixos.

Foram realizados experimentos com um conjunto de *benchmarks* sintetizado por uma ferramenta comercial, destacando um grupo de 100 caminhos críticos. O conjunto forma um total de 12 circuitos, mapeados para 2, 3 e 4 *tiers*, totalizando 36 combinações. Foi medida a quantidade de 3D-Vias nos caminhos críticos, o comprimento total das conexões e o número total de 3D-Vias. Após aplicar a técnica descrita acima, para todas as combinações (com a exceção de dois casos) a quantidade de 3D-Vias em caminhos críticos caiu de várias centenas (entre 88 e 13351) para 0. O efeito no comprimento total das conexões foi mínimo; em média apenas 0.03%. Este experimento levou à conclusão de que o algoritmo aproveitou um grau de liberdade existente no posicionamento; várias soluções com mesmo tamanho

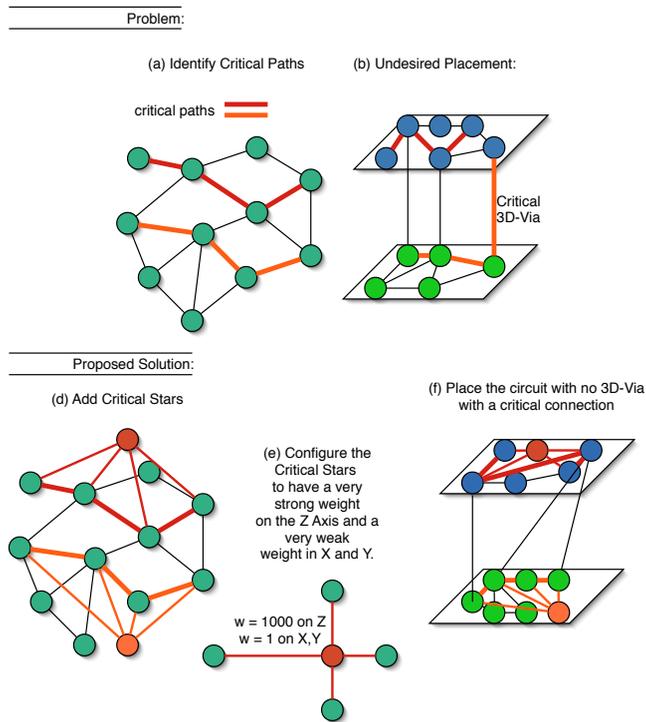


Figura 8. Uma ilustração do método proposto para evitar 3D-Vias em conexões críticas.

de conexões possuem diferentes configurações de Vias-3D. O efeito na quantidade total de 3D-Vias também foi muito baixo: apenas 2% em média.

3.5 Posicionamento de 3D-Vias

Entre cada par de *tiers* do circuito pode-se imaginar uma camada de 3D-Vias. A área ocupado por cada 3D-Via depende do tipo e da tecnologia para este nível específico de 3D-Vias. A etapa de posicionamento global já garante que as 3D-Vias podem ser posicionadas no seu nível sem que hajam sobreposições. Resta então encontrar estas posições de forma que o tamanho das conexões seja minimamente afetado. Observe que uma 3D-Via pertence a uma rede de células já posicionadas; qualquer posição dada para esta 3D-Via dentro da área

delimitada por células da rede não acrescenta nenhuma penalidade ao comprimento desta conexão. Assim, o problema de posicionamento de 3D-Vias é definido para tentar manter todas as 3D-Vias dentro de regiões retangulares definidas pela rede que as pertence; caso não seja possível, que a distância entre as 3D-Vias e a região destinada seja minimizada.

O algoritmo proposto, detalhado em [16], baseia-se em um algoritmo de legalização de células conhecido como Tetris [4]. O algoritmo é descrito graficamente na figura 9. O primeiro passo é assinalar uma banda para cada 3D-Via; depois, as células são movidas uma a uma (ordenada pela sua posição x inicial) para o fim de uma banda; a banda é escolhida de forma que o custo da solução seja minimizado. No caso deste algoritmo, o custo é calculado baseado na posição de destino estar ou não estar dentro da região destinada para a 3D-Via.

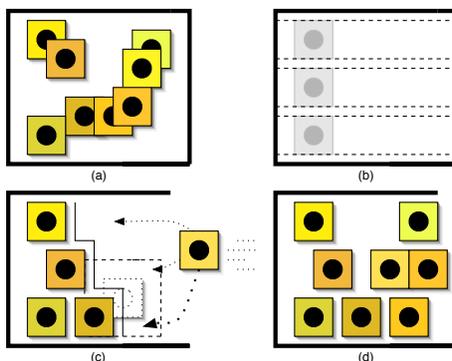


Figura 9. Um algoritmo estilo Tetris para legalizar as 3D-Vias; (a) representa uma solução inicial; (b) demonstra o passo 2 do algoritmo que fatia a área em bandas horizontais; (c) ilustra os passos 4-10 do algoritmo que assinalam uma banda para as células; (d) demonstra a solução final.

Os resultados experimentais demonstram que o método consegue acomodar todas as 3D-Vias com uma degradação muito pequena no tamanho das conexões em relação a uma solução ótima hipotética (sempre menos de 5%; na maior parte dos casos difíceis a degradação foi menor que 0.1%). Comparado com um método publicado [13], o método proposto obtém resultados ligeiramente melhores com uma vantagem de ordens de magnitude em tempo de CPU. A tabela 4 reporta tempo de CPU e aumento do comprimento dos fios (WL OVH) médios nos casos difíceis, comparando vias de diversos tamanhos (tornando o problema mais difícil) e também comparando com o trabalho citado (ILP).

Tabela 4. Resultados médios de posicionamento das 3D-Vias considerando diversos tamanhos de 3D-Via.

Algoritmo	5 μm		10 μm		25 μm	
	CPU (s)	WL OVH	CPU	WL OVH	CPU	WL OVH
Proposto	5	0.05%	3	0.23%	0.3	4.34%
ILP	1721	0.05%	596	0.16%	45	2.91%

4 Conclusões

É sabido que conexões são um fator limitante para o desempenho de um circuito. Este trabalho propôs um fluxo completo de ferramentas com diversos algoritmos que endereçam o problema de obter conexões mais curtas em circuitos 3D. Foram apresentados algoritmos para particionamento e posicionamento de pinos de entrada e saída, posicionamento de células em 3D, posicionamento de 3D-Vias e otimização de caminhos críticos. Os algoritmos propostos consideram as 3D-Vias como recursos limitados e com restrições de espaço. Os algoritmos propostos também se adaptam à tecnologia empregada. Por fim, verificou-se experimentalmente que aplicando-se todos os algoritmos apresentados neste artigo (detalhados em [14]), é possível reduzir o tamanho dos fios em cerca de 10% para cada *tier* adicionado.

Referências

- [1] Ispd04 - ibm standard cell benchmarks with pads., 2004. Available at: <http://www.public.iastate.edu/~nataraj/ISPD04_Bench.html>. Visited on: Jan. 2008.
- [2] 3d ics industry summary, 2005. Available at: <<http://www.tezzaron.com>>. Visited on: June 2007.
- [3] Tezzaron homepage, 2005. Available at: <<http://www.tezzaron.com>>. Visited on: Aug. 2005.
- [4] A. Khatkhate et al. Recursive bisection based mixed block placement. In *International symposium on Physical design, ISPD*, pages 84–89, Phoenix, Arizona, USA, 2004. New York: ACM Press.
- [5] C. Ababei, H. Mogal, and K. Bazargan. Three-dimensional place and route for fpgas. In *Conference on Asia South Pacific Design Automation, ASP-DAC*. [S.l.]: IEEE Press, 2005.
- [6] C. Ababei et al. Placement and routing in 3d integrated circuits. *Design and Test of Computers*, pages 520–531, Nov.-Dec 2005.

- [7] S. Das, A. Chandrakasan, and R. Reif. Timing, energy, and thermal performance of three-dimensional integrated circuits. In *Great Lakes symposium on VLSI, GLSVLSI*, pages 338–343, Boston, MA, USA, 2004. New York: ACM Press.
- [8] Shamik Das, Anantha Chandrakasan, and Rafael Reif. Calibration of rent’s rule models for three-dimensional integrated circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 12:359–366, 2004.
- [9] G. Dueck and T. Scheuer. Threshold accepting: A general purpose optimization algorithm appear superior to simulated annealing. *Journal of Computational Physics*, pages 161–175, 1990.
- [10] G. Liu et al. 3d placement algorithm considering vertical channels and guided by 2d placement solution. In *International Conference On ASIC, ASICON*, pages 24–27, 2005.
- [11] Brent Goplen and Sachin Sapatnekar. Thermal via placement in 3d ics. In *International symposium on physical design, ISPD*, pages 167–174, San Francisco, CA, USA, 2005. New York: ACM Press.
- [12] H. Hua et al. Exploring compromises among timing, power and temperature in three-dimensional integrated circuits. In *Design Automation Conference, DAC*, pages 997–1002, San Francisco, CA, USA, 2006. New York: ACM Press.
- [13] H. Yan et al. Via assignment algorithm for hierarchical 3d placement. In *International Conference on Communications, Circuits and Systems*, pages 27–30, 2005.
- [14] R. Hentschke. *Algorithms for Wire Length Improvement of VLSI Circuits With Concern to Critical Paths*. PhD thesis, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2008.
- [15] R. Hentschke, M. Johann, and R. Reis. An algorithm for i/o partitioning targeting 3d circuits and its impact on 3d-vias. In *International Conference on Very Large Scale Integration, VLSI-SoC*, Nice, France, 2006.
- [16] R. Hentschke and R. Reis. A 3d-via legalization algorithm for 3d vlsi circuits and its impact on wire length. In *International Symposium on Circuits and Systems, ISCAS*, pages 2036–2039. Los Alamitos: IEEE Computer Society, 2007.
- [17] I. Kaya et al. Wirelength reduction using 3-d physical design. In *International Workshop on Integrated Circuit and System Design - Power and Timing Modeling, Optimization and Simulation, PATMOS*, Santorini, Greece, 2004.
- [18] K. Banerjee et al. 3d-ics: A novel chip design for improving deep submicrometer interconnect performance and systems on-chip integration. *Proceedings of IEEE*, 89:602–633, 2001.

- [19] S. Obenaus and T. Szymanski. Gravity: Fast placement for 3-d vlsi. *ACM Transactions on Design Automation of Electronic Systems*, 8:69–79, March 1999.
- [20] R. Patti. Three-dimensional integrated circuits and the future of system-on-chip designs. *Proceedings of IEEE*, 94:1214–1224, 2006.
- [21] R. Hentschke et al. Quadratic placement for 3d circuits using z-cell shifting, 3d iterative refinement and simulated annealing. In *annual symposium on Integrated circuits and systems design, SBCCI*, pages 220–225, Ouro Preto, MG, Brazil, 2006. New York: ACM Press.
- [22] A. Rahman and R. Reif. System-level performance evaluation of three-dimensional integrated circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 8, December 2000.
- [23] A. Rahman and R. Reif. Thermal analysis of three-dimensional (3-d) integrated circuits (ics). In *International Interconnect Technology Conference*, pages 157–159, 2001.
- [24] S. Das et al. Technology, performance, and computer-aided design of three-dimensional integrated circuits. In *International symposium on Physical design, ISPD*, pages 108–115, Phoenix, Arizona, USA, 2004. New York: ACM Press.
- [25] S. Gupta et al. Techniques for producing 3d ics with high-density interconnect, 2005. Available at: <<http://www.tezzaron.com/>>. Visited on: Aug. 2005.
- [26] N. Sherwani. *Algorithms for VLSI Physical Design Automation*. Kluwer Academic Publishers, Norwell, MA, USA, 1998.
- [27] V. Suntharalingam et al. Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology. In *Solid-State Circuits Conference, ISSCC*, volume 1, pages 356–357. [S.l.]: IEEE, 2005.
- [28] N. Viswanathan, M. Pan, and C. Chu. Fastplace: an analytical placer for mixed-mode designs. In *International symposium on physical design, ISPD*, pages 221–223, San Francisco, CA, USA, 2005. New York: ACM Press.
- [29] W. Davis et al. Demystifying 3d ics: The pros and cons of going vertical. *Design and Test of Computers*, pages 498–510, Nov.-Dec. 2005.